

Ejercicio 6:

6) a) Dado que el bus es asincrónico, no se puede tener una señal de clk para sincronizar las señales. Por ello debemos describir una secuencia de eventos considerando uno tras de otro para realizar una operación, los cuales se basarán en las señales de control. Estas serán las siguientes:

req: señal de petición que suena el master para indicarle al slave que desea realizar una petición

r/w: señal que denota el tipo de operación a realizar (read=1, write=0) ack: señal que avisa al slave para indicar que la petición fue recibida, junto con el tipo de operación. Muestra que no hace falta tener una señal de control que distinga si la operación se realiza con la memoria o uno de los dispositivos de E/S pues tomaremos que estos poseen registros mapeados a memoria. Además tendremos las líneas dedicadas data y dir para representar las líneas de datos y de direcciones respectivamente

b) El ciclo de bus para escribir el valor 0x44553366 a partir de la posición 0xFFFF0004 deberá ser como el que sigue:

1. Master carga 0xFFFF0004 en dir, 0x44553366 en data y lanza la señal r/w.
2. Master levanta la señal req.
3. Slave se que le está haciendo una petición y luego de un tiempo determinado en el que recibe los datos en memoria, levanta la señal ack.
4. Master se que la señal ack fue levantada y pone dir y data en alta impedancia (deja de enviar la dirección y los datos) y lanza la señal req.
5. Slave se que la señal de req bajó y lanza la señal ack, terminando la operación.

Dado que los datos se almacenan en modo little endian, el dato posee 32b y el direccionamiento es a byte (8b), tenemos que a partir de la carga de dirección 0xFFFF0004, el contenido de los subsiguientes vale:

Contenido	0x66	0x33	0x55	0x44
Dirección	0xFFFF0004	0xFFFF0005	0xFFFF0006	0xFFFF0007

Ejercicio 7:

7) Dado el procesador de 32b, el bus de datos de 32b, el clock del bus de 6MHz y la transferencia de 32b lleva 4 ciclos de reloj del bus, no que puedo calcular

$$\text{la máxima capacidad del bus como: } \text{máx capacidad} = \frac{\text{cant. bits transferidos}}{\text{ciclos de transferencia}} \times \text{frecuencia del clk} = \frac{32b}{4 \text{ ciclos}} \times \frac{6 \times 10^6 \text{ ciclos}}{1s} = \frac{64 \times 10^6 b}{1s} = 64.000.000 \text{ b/s} =$$

$$= \frac{64.000.000 b}{1s} \times \frac{1B}{8b} \times \frac{1KB}{1024B} \times \frac{1MB}{1024KB} = 7,6 \text{ MB/s}$$